

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-250749

(43)Date of publication of application : 27.09.1996

(51)Int.Cl. H01L 29/786  
H01L 21/336  
H01L 21/20  
H01L 21/265

(21)Application number : 08-020541

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 10.01.1996

(72)Inventor : YAMAZAKI SHUNPEI

(30)Priority

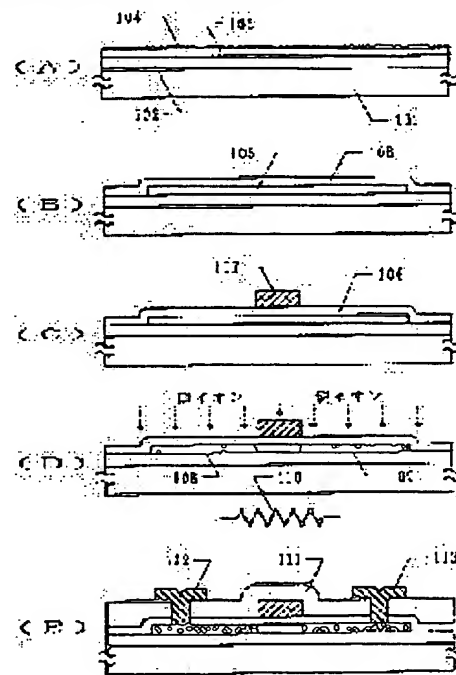
Priority number : 07 21012 Priority date : 13.01.1995 Priority country : JP

## (54) MANUFACTURE OF THIN FILM TRANSISTOR AND PRODUCTION DEVICE THEREOF

(57)Abstract:

**PURPOSE:** To improve the characteristics and reliability of a thin film transistor having an active layer consisting of a silicon film crystallized using a catalyst element.

**CONSTITUTION:** A catalyst element, such as nickel, is added to an amorphous silicon film 103 to anneal the film 103, whereby this film 103 is crystallized at a temperature lower than the distortion temperature of a glass substrate to form an active layer 105 of a TFT. N-type or P-type impurity ions are implanted in the film 105 in a state that the layer 105 is heated at 100 to 400° C. As the layer 105 is properly heated, the impurity ions are also activated on the spot, damage due to an ion-beam emission is immediately removed and a defect, a distortion and the like are not also left. As this result, such a phenomenon that the catalyst element is agglomerated in the boundary between source/drain regions 108 and 109 and a channel is eliminated and the characteristics (specially, an off-state current) and reliability of the TFT are improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Laid-Open Patent Publication No. 8-250749/1996  
(Tokukaihei 8-250749) (Published on September 27, 1996)

**(A) Relevance to Claims**

The following is a translation of passages related to all the claims of the present invention.

**(B) Translation of Relevant Passages**

[Abstract]

[Objective] To improve characteristics and reliability of a thin film transistor having an active layer made of a film of silicon crystallized using a catalytic element.

[Constitution] An active layer 105 including TFTs is formed by adding a catalytic element, such as nickel, to an amorphous film 103 and anneal the product to crystalize it at temperatures not exceeding distorting temperature of glass substrates. N- or p-type impurity ions are injected to the active layer 105 which is heated up to 100-400 degrees Celsius. The suitable heating of the active layer 105 activates the impurities on the spot. Damage caused by ion projection is healed, leaving no defects nor distortions. As a result, no catalytic

-2-

elements aggregates at interfaces between the source/drain 108, 109 and channels, improving characteristics (especially, the off current) and reliability of a thin film transistor.

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-250749

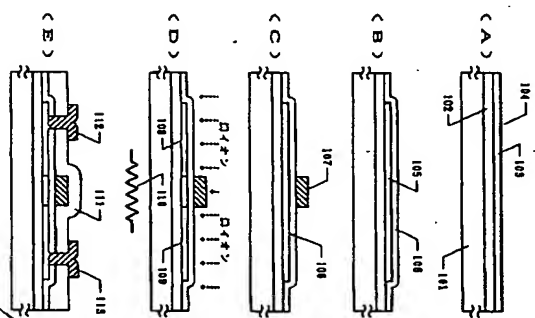
(43) 公開日 平成8年(1996)9月27日

(51) Int. Cl. <sup>4</sup>	国際配号	庁内整理番号	F I	特許表示口所
H01L 29/786	29/78		29/78	616L
21/336	21/20		21/20	A
21/265	21/265		21/265	627C
	29/78		29/78	627C
特許請求 未請求 請求項の改訂 F D (全14頁)				

(21) 出願番号	特開平8-20541	(71) 出願人	000153878 株式会社半導体エレクトロニクス研究所 神奈川県川崎市川崎区宮前3-38番地
(22) 出願日	平成8年(1996)1月10日	(72) 発明者	山崎 昇平 神奈川県川崎市川崎区宮前3-38番地 株式会社半導体エレクトロニクス研究所内
(31) 優先権主張番号	特開平7-21012		
(32) 優先日	平7(1995)1月13日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 前記トランジスタの製造方法及びその製造装置

(57) 【要約】  
【目的】 触媒元素を用いて結晶化されたシリコン膜から成る活性層を有する薄膜トランジスタの特性・信頼性を改善する。  
【構成】 アモルファスシリコン膜103にニッケル等の触媒元素を添加して、熱アニールすることにより、これをガラス基板の重み温度以下の温度で結晶化させて、TFTの活性層105を形成する。活性層105を100〜400℃に加熱した状態で、N型もしくはP型不純物イオンを注入する。活性層105は適度に加熱されているので、不純物もその場で活性化され、イオン照射によるダメージは直ちに除去されて、欠陥・歪み等も残らない。この結果、ソース/ドレイン108、109とチャネルの境界に触媒元素が濃集するというような現象がなくなり、TFTの特性(特にオフ電流)・信頼性が向上される。



【特許請求の範囲】

【請求項1】 基板上に形成され、 $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/cm<sup>3</sup>の濃度の金属元素を有する薄膜状の非単結晶半導体被膜と、該非単結晶半導体被膜上に形成されたゲイト電極とを有する薄膜トランジスタの製造方法において、

薄膜トランジスタにN型もしくはP型の導電型を付与する不純物をドーピングする際に、基板を加熱した状態で、前記不純物イオンと、水素イオンもしくはハロゲンイオンのイオンを加速して照射することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 基板上に形成され、 $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/cm<sup>3</sup>の濃度の金属元素を有する薄膜状の非単結晶半導体被膜と、該非単結晶半導体被膜上に形成されたゲイト電極とを有する薄膜トランジスタの製造方法において、

薄膜トランジスタにN型もしくはP型の導電型を付与する不純物をドーピングする際に、第1のチャンバーで前記基板を加熱した後、実効的な加熱手段を有しない第2のチャンバーで、前記不純物イオンと、水素イオンもしくはハロゲンイオンのイオンを加速して、前記基板に照射することを特徴とする薄膜トランジスタの製造方法。

【請求項3】 (1) 基板上に、実質的にアモルファス状態のシリコン膜と、該シリコン膜の上面もしくは下面に実質的に密着して、金属元素を有する被膜を形成する工程と、(2) 前記シリコン膜を熱アニールすることにより、前記シリコン膜中に前記結晶化触媒元素を拡散させる共に、前記シリコン膜を結晶化せしめる工程と、(3) 結晶化された前記シリコン膜上に、薄膜トランジスタのゲイト電極を形成する工程と、(4) 前記基板を100〜400℃に加熱した状態で、前記ゲイト電極をマスクにして、前記シリコン膜にN型もしくはP型の導電型を付与する不純物をドーピングして、低濃度の不純物領域を形成する工程と、を有することを特徴とする薄膜トランジスタの製造方法。

【請求項4】 請求項1又は請求項2において、前記非単結晶半導体被膜中の金属元素の濃度は、前記非単結晶半導体被膜を2次イオン質量分析法に分析することによって得られた被膜の厚み値に基づいて定規されることを特徴とする薄膜トランジスタの製造方法。

【請求項5】 請求項1乃至3において、前記金属元素は、ニッケル、鉄、コバルト、白金、パラジウムの少なくとも一つであることを特徴とする薄膜トランジスタの製造方法。

【請求項6】 請求項1乃至請求項3において、前記導電型を付与する不純物をドーピング時の基板の温度、もしくはドーピング直前の基板の温度は、100〜400℃であることを特徴とする薄膜トランジスタの製造方法。

【請求項7】 請求項1乃至3において、前記導電型を

(2)

付与する不純物をドーピング時基板の温度、もしくはドーピング直前の基板の温度は、200〜350℃であることを特徴とする薄膜トランジスタの製造方法。

【請求項8】 基板上に形成され、 $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/cm<sup>3</sup>の濃度の金属元素を有する薄膜状の非単結晶半導体被膜と、その上に形成されたゲイト電極を有する薄膜トランジスタの製造装置において、

基板を加熱する手段を有する第1のチャンバーと、実効的な加熱手段を有せず、N型もしくはP型の導電型を付与する不純物イオンと、水素イオンもしくはハロゲン元素のイオンを加速して、照射する手段を有する第2のチャンバーとを少なくとも有し、

イオン照射時に、第2のチャンバーにおいて、前記基板の温度を100〜400℃に保持することを特徴とする薄膜トランジスタの製造装置。

【請求項9】 基板上に形成され、 $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/cm<sup>3</sup>の濃度の金属元素を有する薄膜状の非単結晶半導体被膜と、該非単結晶半導体被膜上に形成されたゲイト電極を有する薄膜トランジスタの製造装置において、

イオンをドーピングするためのチャンバーを有し、該チャンバーは、N型もしくはP型の導電型を付与する不純物イオンと、水素イオンもしくはハロゲン元素のイオンを加速して、照射する手段と、基板を加熱する手段とを有し、

イオン照射時に、前記チャンバーにおいて、基板の温度を100〜400℃に保持することを特徴とする薄膜トランジスタの製造装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、非単結晶半導体被膜を有する薄膜トランジスタ(TFT)およびその製造方法と、その製造装置に関するものであり、特に、ソース/ドレイン等を作製するためのN型もしくはP型の導電型を付与する不純物のドーピング方法及び、ドーピング装置に関するものである。

【0002】 なお、本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、又は単結晶シリコン等の半導体基板上、いずれに形成されるものをも対象とする。

【0003】

【従来の技術】 最近、絶縁基板上に、薄膜状の活性層(活性領域ともいう)を有する絶縁ゲイト型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲイト型トランジスタ、いわゆる薄膜トランジスタ(TFT)が熱心に研究されている。これらは、利用する半導体の材料・結晶状態によって、アモルファスシリコンTFTや結晶性シリコンTFTと区別されている。結晶性シリコンとは言っても、単結晶ではない非単結晶のものである。

(3)

【0004】一般にアモルファス状態の半導体の電界移動度は小さく、したがって、高速動作が要求されるTFETには利用できない。また、アモルファスシリコンでは、P型の電界移動度は著しく小さいので、Pチャネル型のTFET（PMOSのTFET）を作製することができない。したがって、Nチャネル型TFET（NMOSのTFET）と組み合わせ、相補型のMOS回路（CMOS）を作製することができない。

【0005】他方、結晶半導体はアモルファス半導体よりも電界移動度が大きく、このため、高速動作が可能である。したがって、結晶性シリコンではNMOSのTFETのみでなく、PMOSのTFETも同様に得られるので、CMOS回路を作製することが可能である。また、より良い特性を得るには、単結晶半導体のMOSICでおこなわれているようなLDD（低濃度ドレイン）相違を設けることが好ましいと指摘されている。

【0006】  
【発明が解決しようとする課題】しかしながら、結晶性シリコン半導体を得るには、アモルファスシリコンを熱アニールすることが必要で、そのためには600℃以上の高温で長時間の加熱処理が必要である。そのため、耐熱温度の高い基板を使用する必要があり、一般に高価な石英が使用されている。

【0007】これに対し、本発明人らは、ニッケル、鉄、コバルト、白金、パラジウム等の金属材料がアモルファスシリコンの結晶化を促進する結晶化効果を有することを発見した。以下、シリコンの結晶化を促進させるこれらの金属材料を結晶化触媒元素、または、単に触媒元素という。このような触媒元素をアモルファスシリコンに添加することにより、従来よりも低温・短時間の熱アニールにより結晶性シリコン膜を得ることができた。即ち、この結晶化方法を採用することにより、耐熱温度の低い、安価なガラス基板を使用することが可能になる。

【0008】さらに、結晶化触媒元素を有するシリコン膜においては、その後イオンドーピング法等の手段によってN型やP型の不純物イオンを照射・注入することにより、ソース/ドレイン等の不純物領域を形成した後、不純物元素の活性化も、従来に比較してより低温の熱アニールによっておこなうことが可能となった。このように目的には、触媒元素の濃度は $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/cm<sup>3</sup>が好ましかった。

【0009】この範囲に達しない低濃度では、結晶化が促進されず、また、この範囲を超える高濃度ではシリコン半導体特性に悪影響をもたらした。なお、この場合の触媒元素の濃度は、2次元開口分析法（SIMS）によって、分析された値であり、多くの場合、触媒元素は膜中において分布を示すが、上記の値はシリコン膜における触媒元素の最低値を意味する。

【0010】従来は、ドーピング不純物の活性化を低温でおこなうにはレーザー等の強光の照射（光アニール）

によらざるを得なかったが、光アニールは再現性・制御性において重大な問題を有しており、口置化が困難であった。結晶化触媒元素を用いることにより、光アニールに匹敵する低温での活性化が可能となったことの意味は大きい。

【0011】しかしながら、結晶化触媒元素の使用により、新たな問題が生ずる。これはドーピング不純物を熱アニールによって活性化する際に、結晶化触媒元素が移動して、不純物領域（ソース/ドレイン等）とチャネルとの境界付近に濃集してしまうという問題である。チャネルとソース/ドレインとの境界はTFETにおいては極めて重要な部分であり、この部分の欠陥はTFET特性を著しく悪化させる。

【0012】即ち、このような部分に結晶化触媒元素（これらはいずれもシリコン半導体にとっては好ましい材料ではない）の濃度が高まることにより、TFET特性の悪化（特に、ゲイト電圧をゼロもしくは逆バイアスとしたときのソース/ドレイン間のリーク電流（オフ電流）が増大すること）、信頼性の低下（長時間の使用によってTFET特性が劣化すること）がもたらされる。

【0013】結晶化触媒元素の移動メカニズムについて図4を用いて説明する。図4（A）はゲイト電極を作製した段階を示す。基板1（もしくはその上に適当な下地膜（パツターコート）を形成してもよい）上に、島状のシリコン領域3、ゲイト電極4を形成する。この段階では、特開平6-244104で開示された技術にすぎない、島状シリコン領域2中には結晶化触媒元素がほぼ均等に分布している。（図4（A））

【0014】次に、不純物として、例えば、燐をドーピングする。これはイオンドーピング法等によっておこなえばよい。この結果、ソース5、ドレイン6が形成されるが、ソース5、ドレイン6には、イオン照射の結果として、多くの欠陥や歪みが生じている。（図4（B））

【0015】その後、特開平6-267989、同6-339951に開示される技術にしたがって熱アニールをおこなう。ドーピングされた不純物の活性化をおこなうと、触媒元素は、欠陥等に選択的に濃集される性質があるので、チャネル7部分に存在していた触媒元素がソース/ドレイン5、6の方向に移動する。このような触媒元素の移動は400℃以上の熱アニールによって顕著に観察される。（図4（C））

【0016】特に、チャネル7とソース/ドレイン5、6の境界部（図における矢印の部分）で、移動してきた触媒元素が集中し、チャネル7部分の触媒元素の濃度が低下するもの、チャネルとソース/ドレイン5、6の境界で非常に濃度の高い部分が発生することとなる。

【0017】図4（D）は島状シリコン領域2中の触媒元素の濃度分布のグラフ図であり、点線は図4（A）の

(4)

状態を模式的に示したもので、島状シリコン領域2には均一に触媒元素が添加されている。他方、矢線は図4（C）の状態を模式的に示したものであり、熱アニールすることにより、矢印で示すように、ソース/ドレイン5、6とチャネル7の境界部において、部分的に初期の濃度よりも1桁も高い濃度で触媒元素が濃集してしまう。このように、高濃度に触媒元素が存在すると、初期トランジスタの特性や信頼性を低下させてしまう。

【0018】本発明の目的は、上述の問題点を解消して、触媒元素により結晶化されたシリコン膜を使用し、特性、信頼性の優れた薄膜トランジスタを製造する方法、及びその製造装置を提供することにある。

【0019】  
【課題を解決するための手段】上述のように触媒元素が偏在するのは、明らかに、不純物ドーピングの際に、島状シリコン領域に欠陥・歪み等が発生するためである。したがって、欠陥や歪み発生させないようなドーピング方法を採用すればよい。イオンドーピング工程において、基板を200℃に加熱しておこなうと、その後熱アニール等による活性化が不要であるという報告がある（Y. Mishima他：J. Appl. Phys. 74（1993）7114）。

【0020】本発明人はこの研究を詳細に検討した結果、イオン照射による欠陥はただちに（その場で）修復されるため、イオンドーピング後に欠陥が残らないことを発見した。さらに、本発明人は、温度範囲についても考察を進め、基板温度を100～400℃、より好ましくは200～350℃にして、イオンドーピングをおこなうと、シリコン膜に欠陥が生じないことを発見した。

【0021】本発明人は以下の組成を有する。すなわち、特開平6-244104、同6-267989、同6-339951に開示される技術にしたがって、結晶化触媒元素の添加された島状の結晶性シリコン領域を形成する。触媒元素の濃度は、 $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/cm<sup>3</sup>であると好ましい。 $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/cm<sup>3</sup>以上の高濃度ではシリコンに金属的性質がもたらされ、半導体特性が損壊してしまう。

【0022】なお、触媒元素の濃度は、2次元開口分析法（SIMS）によって、分析された値であり、多くの場合、触媒元素は膜中において分布を示すが、上記の図はシリコン膜における触媒元素の最低値を意味する。

【0023】その後、基板を100～400℃に加熱した状態で、イオンドーピング等の方法により、N型もしくはP型の導電型を付与する不純物イオンを照射する。不純物イオンに加えて、水素イオンもしくはハロゲンイオンも照射すると、活性化をより効果的にこなうことができる。

【0024】また、基板の加熱は不純物イオンを照射している膜中におこなってもよいが、或いは、直前まで加

熱して、不純物イオン照射時には意図的には加熱しなくても良い。この場合には、時間の経過とともに基板温度が低下するが、断熱を十分におこなうことにより、通常のドーピング作業の間、100～400℃の温度を保持できる。

【0025】このような方式のドーピング装置では、基板を加熱する手段を有するチャンバーと、基板を効果的に加熱する手段を有しないチャンバーという少なくとも2つのチャンバーが必要である。

【0026】本発明に係るドーピング装置の概念図を図5に示す。ドーピング装置は大きく3つのチャンバーにより構成されている。すなわち、第1の予備室（基板投入室）501、ドーピング室502、第2の予備室（基板取り出し室）503で構成されている。いずれのチャンバーも内部の圧力を適切に調節するための換気が設けられている。

【0027】第1の予備室501には、ヒーターを有するセツター504が設けられており、これによって基板505を適切な温度に加熱する。ドーピング室502は、通常のイオンドーピング装置と同じ構成を有し、ドーピングガス導入系510、排気系511、基板ホルダー506、フラスコ508、加熱等のための制御回路509がそれぞれ設けられている。基板507はホルダー506上に設置される。第2の予備室503から処理された基板512を取り出す。

【0028】第1の予備室501において、基板505の投入と取り出しを制御すれば、第2の予備室503は設けなくても構わない。第1の予備室501では基板は適当な温度に加熱される。必要なことは、第1の予備室501で、基板が加熱される温度ではなく、ドーピング室502におけるドーピングの間の基板507の温度であり、特にドーピングされる半導体領域の温度が100～400℃、好ましくは200～350℃の温度に保持されることにある。

【0029】  
【作用】もとより、本発明ではイオン照射によって、シリコン膜中に欠陥や歪みが生じることがなく、Mishima他の開示するとおり、ドーピング工程後に、熱アニールによる活性化工程が不要もしくは極めて短時間で済むので、触媒元素が濃集することを回避することができ

る。

【0030】仮に、何らかの目的により、ドーピング後に400℃以上の温度で熱アニールをおこなう必要があったとしても、ドーピングにおいて、シリコン中に欠陥や歪みが残らないために、チャネル中に存在する触媒元素が移動して、ソース/ドレインとチャネルの境界に濃集することがなく、触媒元素の濃度分布は初期の状態が保たれる。

【0031】  
【実施例】

(5)

【実施例1】図1に本実施例を示す。まず、基板(コ-

ニング7059) 101上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜102を形成した。さらに、ガラスCVD法によって、厚さ200~1500Å、例えば5000Åの珪素(I型、すなわち、III面またはV面の不純物の、 $1 \times 10^{15} \sim 1 \times 10^{18}$ 原子/cm<sup>3</sup>の濃度である。または、チャネルが発生しない条件を満たすことを意味する)のアルミニウムシリコン膜103を形成する。

【0032】そして、アルミニウムシリコン膜103表面を酸化処理する。そして、1~100ppmの酢酸ニッパル水溶液を塗布し、乾燥させて、酢酸ニッパル膜104を形成する。酢酸ニッパル膜104は極めて薄いので、膜状となっているとは限らない。(図1(A))

【0033】そして、このアルミニウムシリコン膜103を窒素雰囲気中、550℃、4時間熱アニールして結晶化させる。熱アニール後にエキゾーザー等を用いて光アニールをおこなってもよい。熱アニール後、シリコン膜をエッチングして、島状シリコン領域105を形成する。さらに、ガラスCVD法によって厚さ1200Åの酸化珪素膜106をゲイト絶縁膜として堆積する。酸化珪素膜106を作製するには、ガラスCVD法の代わりに熱CVD法を採用してもよい。(図1(B))

【0034】引き続き、減圧CVD法によって、厚さ3000~8000Å、例えば6000Åの多結晶シリコン膜(0.1~2%の珪素を含む)を堆積する。この多結晶シリコン膜をエッチングして、ゲイト電極107を形成する。(図1(C))

【0035】次に、イオンドーピング法によって、島状シリコン領域105にゲイト電極107をマスクとして不純物(珪素)を注入する。ドーピングガスとして、水素で1~10%に希釈したフォスフィン(PH<sub>3</sub>)を用いる。加速電圧は60~90kV、例えば80kVとし、フロー率は $1 \times 10^{13} \sim 8 \times 10^{15}$ 原子/cm<sup>2</sup>とし、例えば、 $2 \times 10^{14}$ 原子/cm<sup>2</sup>とする。イオンドーピング時にはヒーター110によって、基板を250℃に加熱する。この結果、N型の不純物領域108(ソース、109(ドレイン)がそれぞれ形成される。(図1(D))

【0036】続いて、厚さ6000Åの酸化珪素膜111を同様に絶縁物としてガラスCVD法によって形成し、これにコンタクトホールを形成する。そして、金属材料、例えば、チタンとアルミニウムの多層膜によってTFTのソース、ドレインの電極・配線112, 113を形成した。(図1(E))

【0037】2次元質量分析(SIMS)法によって、ニッパルの濃度を調べたところ、TFTの不純物領域、チャネルとも、 $1 \times 10^{18} \sim 5 \times 10^{18}$ 原子/cm<sup>3</sup>の濃度であり、特に、チャネルの部分の結晶元素の濃

度が低下している様子は観察されなかった。

【0038】従来例では、活性化工程の後に、水素雰囲気中で200~350℃の熱アニールもしくはガラス処理が必要であったが、本発明では不要であった。また、本発明によって得られたTFT(チャネル長×チャネル幅=8μm×8μm)では、オフ電圧(ゲイト電圧が-17V、ドレイン電圧が+1Vの状態)は0.2~0.5pA程度である。他方、ドーピング工程では基板温度を室温とし、活性化工程では基板温度を500℃と同じ条件で、同じ大きさで作製したTFTでは、オフ電圧は5~20pAであった。

【0039】(実施例2)図2に本実施例を示す。まず、基板(コニング7059) 201上にガラスCVD法によって厚さ4000Åの酸化珪素の下地膜202を形成する。さらに、ガラスCVD法によって、厚さ200~1500Å、例えば5000Åの珪素(I型)のアルミニウムシリコン膜203を形成する。そして、アルミニウムシリコン膜203の表面を酸化処理して、図示しない酸化膜を形成する。そして、1~100ppmの酢酸ニッパル水溶液を塗布して、乾燥させて、酢酸ニッパル膜204を形成する。

【0040】そして、特開平6-318701に開示されている技術にしたがって、アルミニウムシリコン膜203にKrFエキゾーザー光(波長248nm)を照射し、結晶化せしめた。レーザー光の照射前に、250~500℃で予熱的に熱アニールを施してもよい。また、レーザー照射の際に、基板201を250~400℃に加熱してもよい。さらに、レーザー照射後に400~550℃で熱アニールを1~4時間施すと、結晶の歪みを除去するうえで有効である。(図2(A))

【0041】その後、結晶化されたシリコン膜203をエッチングして、島状シリコン領域を形成する。さらに、ガラスCVD法によって厚さ1200Åの酸化珪素膜205を堆積する。そして、その上に厚さ4000Åの多結晶シリコン膜(0.1~2%の珪素を含む)を堆積して、エッチングして、ゲイト電極206を形成する。

【0042】次に、基板を加熱しながら、ゲイト電極206をマスクにして、イオンドーピング法によって、島状シリコン領域に不純物(珪素)を注入する。ドーピングガスとして、水素で1~10%に希釈したフォスフィン(B<sub>2</sub>H<sub>6</sub>)を用いる。加速電圧は60~90kV、例えば80kVとし、フロー率は $1 \times 10^{12} \sim 1 \times 10^{14}$ 原子/cm<sup>2</sup>とし、例えば、 $1 \times 10^{13}$ 原子/cm<sup>2</sup>とする。また、イオンドーピング時には、ヒーター209によって、基板を350℃に加熱する。この結果、P型の低濃度不純物領域207、208が形成される。(図2(B))

【0043】次に、ガラスCVD法によって堆積した

(6)

酸化珪素膜を異方性エッチングして、サイロウオール210を形成する。サイロウオール210の形成方法については公知のLDD(低濃度ドレイン)形成技術を用い、例えば、本実施例では、サイロウオール210形成時に酸化珪素膜205をもエッチングする。このため、ゲイト電極206およびサイロウオール210の下部には、酸化珪素のゲイト絶縁膜211が残る。(図2(C))

【0044】そして、再び、基板を加熱しながら、イオンドーピング法により、P型不純物を導入する。ドーピングガスとして、水素で1~10%に希釈したジボラン(B<sub>2</sub>H<sub>6</sub>)を用いた。加速電圧は10~30kV、例えば20kV、フロー率は $1 \times 10^{14} \sim 8 \times 10^{16}$ 原子/cm<sup>2</sup>とし、例えば、 $1 \times 10^{15}$ 原子/cm<sup>2</sup>とした。イオンドーピング時にはヒーター214によって、基板を350℃に加熱した。この結果、P型の高濃度不純物領域212(ソース)、213(ドレイン)がそれぞれ形成される。

【0045】一方、サイロウオール210の下の低濃度不純物領域207、208には、ドーピングされず、低濃度ソース215、低濃度ドレイン216が形成される。(図2(D))

続いて、ガラスCVD法によって厚さ4000Åの酸化珪素膜217を同様に絶縁物として堆積し、これにコンタクトホールを形成して、アルミニウムのソース、ドレイン電極・配線218, 219を形成する。(図2(E))

【0046】本実施例では、ドーピング工程後には、熱アニールによる活性化を行わないので、工程を短縮するうえで極めて有効であった。従来例の方法(特開平6-267989)では、高濃度の不純物が存在する領域は比較的低温の熱アニールによって活性化できたが、低濃度不純物領域では、熱アニール温度を高めることが必要であった。しかしながら、本実施例では、そもそも活性化のために熱アニールをおこなう必要がないので、そのような問題は一切生じなかった。

【0047】(実施例3)図3に本実施例を示す。まず、基板(コニング1737) 301上にガラスCVD法によって厚さ3000Åの酸化珪素の下地膜302を堆積する。さらに、ガラスCVD法によって、厚さ200~1500Å、例えば5000Åの珪素(I型)のアルミニウムシリコン膜303を堆積する。さらに、ガラスCVD法によって、厚さ300Åの酸化珪素膜304を堆積する。これらの成膜は連続的におこなう。

【0048】そして、酸化珪素膜304を選択的にエッチングして、その一部に開孔部305を形成し、さらに、実施例1および2と同様に酢酸ニッパル膜306を形成する。その後、基板301を450~580℃、例えば、550℃で8時間の熱アニール処理をおこなうことによりアルミニウムシリコン膜303を結晶化させる。結晶化は、特開平6-244104にも記載されて

いるように、開孔部305から周囲に図の矢印によって進行した。上記の熱アニール工程の後に、レーザー光等を用いて光アニールをおこなってもよい。(図3(A))

【0049】その後、結晶化されたシリコン膜をエッチングして、島状シリコン領域308を形成し、さらに、ガラスCVD法によって厚さ1200Åの酸化珪素膜309を堆積する。(図3(B))

【0050】そして、その上に厚さ6000Åのアルミニウム膜(0.1~0.3%のスカンジウムを含む)のゲイト電極310を形成する。ゲイト電極310を形成するには、特開平5-267687に示されるゲイト電極の層間酸化技術によって、ゲイト電極310の上面および上面をバリや型層間酸化物被膜311で被覆すればよい。本実施例ではバリや型層間酸化物被膜311の厚さは1500~2000Åとする。また、酸化珪素膜309をエッチングして、ゲイト絶縁膜312を形成する。その際、ゲイト電極部(ゲイト電極310とその周囲のバリや型層間酸化物被膜311を含む)の上面とゲイト絶縁膜312の上面をxだけずらした相違とする。(図3(C))

【0051】次に、ゲイト電極部およびゲイト絶縁膜312をマスクにして、イオンドーピング法によって、島状シリコン領域308に不純物(珪素)を注入する。ドーピングガスとして、水素で1~10%に希釈したフォスフィン(PH<sub>3</sub>)を用いる。ドーピングは段階的に行う。最初は、加速電圧は60~90kV、例えば80kVとし、フロー率は $1 \times 10^{12} \sim 1 \times 10^{14}$ 原子/cm<sup>2</sup>とし、例えば、 $1 \times 10^{13}$ 原子/cm<sup>2</sup>とする。2度目は、加速電圧は10~30kV、例えば20kV、フロー率は $1 \times 10^{14} \sim 8 \times 10^{16}$ 原子/cm<sup>2</sup>とし、例えば、 $1 \times 10^{15}$ 原子/cm<sup>2</sup>とする。

【0052】いずれのドーピングにおいても、ヒーター315によって、基板301を300℃に加熱する。高い加速電圧の低濃度ドーピング(最初のドーピング)の結果、低濃度ソース316、低濃度ドレイン317がそれぞれ形成され、次に、低い加速電圧の高濃度ドーピング(後のドーピング)の結果、ソース313、ドレイン314がそれぞれ形成される。(図3(D))

【0053】続いて、ガラスCVD法によって厚さ5000Åの酸化珪素膜318を同様に絶縁物として堆積し、これにコンタクトホールを形成して、チャネルソース、ドレイン電極・配線319, 320を形成する。(図3(E))

【0054】実施例2においては、同様なLDD構造を得るために、低濃度ドーピング工程後、成膜工程をおこなない、その後、再び、高濃度ドーピング工程をおこなうようにした。ドーピング工程が不足しているが、本実施例は実施例2と異なり、低濃度および高濃度のドーピングを連続的におこなうことができるため、極めて口

(7)

産性が高い。

【0055】〔実施例4〕実施例3ではLDD精造を得るために、ゲイト電極の側面に緻密な陽極酸化物を形成するようにしたが、本実施例は緻密な陽極酸化物を形成しないで、LDD精造を形成するようにしたものである。

【0056】図6、7は本実施例の源極トランジスタの作製工程を示す断面図であり、図6 (A) に示すように、ガラス基板 (コーニング7059) 601上に、スパッタリング法により厚さ2000Åの酸化珪素を下地膜602として形成する。さらに、フラスカCVD法によって、真性 (I型) のアモルファスシリコン膜503を500Åの厚さに形成する。

【0057】アモルファスシリコン膜603表面を酸化して、図示しない酸化膜を極薄く形成する。この酸化膜の表面に、1〜100p.mの酢酸ニッケル水溶液を塗布して、乾燥して、酢酸ニッケル膜604を形成する。

(図6 (A))

【0058】次に、窒素雰囲気中、550℃、4時間熱アニールする。加熱により、酢酸ニッケル膜604がニッケルに分解して、アモルファスシリコン膜603中に均一に拡散するのに伴って、アモルファスシリコン膜603が結晶化される。熱アニールの後に、エキスパレー等を用いて光アニールを行ってもよい。

【0059】次に、結晶化されたシリコン膜をエッチングして、島状シリコン領域605を形成する。さらに、フラスカCVD法によって厚さ1000Åに酸化珪素膜606を堆積する。(図6 (B))

【0060】次に、スパッタ法によって、アルミニウム膜を5000Åの厚さに堆積する。このアルミニウム膜は後にゲイト電極607になるものであり、アルミニウムには、予めスカンジウムを0.2wt含有させて、ヒロツクやウイスキーが発生するのを抑制する。

【0061】そして、アルミニウム膜を電解液中で陽極酸化して、表面に緻密な陽極酸化膜608を1000Å程度の厚さに形成する。この場合には、電解液には、酒石酸、ほう酸、又は酢酸が3〜10%含有されたエチレングリコール溶液を、pHを7程度に調整した溶液を使用する。緻密な陽極酸化膜608の厚さはアルミニウム膜に印加する電圧で制御することができる。緻密な陽極酸化膜608は、レジストの密着度を高める作用を有する。この後、フォトリソグラフィのマスク609を形成して、このマスク609を利用して、アルミニウム膜をエッチングして、ゲイト電極607を形成する。(図6 (C))

【0062】更に、フォトリソグラフィのマスク609を省いたままで、ゲイト電極607を陽極にして、再び陽極酸化する。電解液には、クエン酸、シュウ酸、クロム酸又は硫酸を3〜20%含有した酸性情液を使用する。この場合には、ゲイト電極607の表面にフォトリ

ソグラフィのマスク609と、緻密な陽極酸化膜608が存在するために、ゲイト電極607の側面のみが多孔質の陽極酸化物610が形成される。

【0063】この多孔質の陽極酸化物610の成長距離は、ゲイト電極607に電流を流す時間で制御することができ、この成長距離では、多孔質の陽極酸化物610を5000Åの厚さに成長させる。(図6 (D))

【0064】次に、フォトリソグラフィのマスク609を使用して、酸化珪素膜606をエッチングして、ゲイト絶縁膜611を形成する。(図6 (E))

【0065】そして、図7 (A) に示すように、フォトリソグラフィのマスク609、緻密な陽極酸化膜608、多孔質の陽極酸化物610を順次に除去して、ゲイト電極607を露出させる。

【0066】次に、フォトリソグラフィのマスク609を専用の剥離液により除去する。緻密な陽極酸化膜608はスパッタリング法を用いて、エッチングする。緻密な陽極酸化膜608は極めて頑いため、選択的に除去することが可能である。多孔質の陽極酸化物610は、焼酸、酢酸及び硝酸を混合した混酸を用いて、エッチングする。多孔質の陽極酸化物610は容易に除去できたため、ゲイト電極607がエッチングされることがない。

【0067】そして、ヒロツクやウイスキーの発生を抑制するために、露出されたゲイト電極607の表面をオゾン水で洗浄して、図示しない酸化膜を形成する。なお、後の工程で、ヒロツクやウイスキーの発生を抑制できるならば、酸化膜を形成しなくてもよい。

【0068】次に、ゲイト電極607をマスクにして、イオンフォベリソグラフィによって、島状シリコン領域605に不純物を注入する。本実施例では、堇を注入するために、ドーピングガスとして、水素で1〜10%に希釈したフォスフィン (PH<sub>3</sub>) を用いる。ドーピングは2段階に分けておこなう。また、ドーピングの間には、ヒーター612によって、基板601を300℃に加熱する。

【0069】1度目のドーピングは、加速電圧は60〜90kVとし、ドーピングは1×10<sup>12</sup>〜1×10<sup>14</sup>原子/cm<sup>2</sup>とする。本実施例では、加速電圧を80kVとして、ドーピングを1×10<sup>13</sup>原子/cm<sup>2</sup>とする。この際には、加速電圧が比較的大きいため、堇イオンはゲイト電極607は通過しないが、ゲイト絶縁膜611を通過して、島状シリコン領域605にドーピングされるが、ドーピングが小さいため、低集中度不純物領域613、614が形成される。また、ゲイト電極607の直下には堇イオンがドーピングされないため、チャネル形成領域615となる。(図7 (A))

【0070】2度目のドーピングは、1度目よりも、加速電圧を小さくして、10〜30kVとし、ドーピングは大きくして、1×10<sup>14</sup>〜8×10<sup>15</sup>原子/cm<sup>2</sup>とする。

(8)

る。本実施例では、加速電圧を20kVとし、ドーピングを1×10<sup>15</sup>原子/cm<sup>2</sup>とする。このため、堇イオンはゲイト絶縁膜612を通過できず、主に、島状シリコン領域605の露出された部分に高集中度にドーピングされ、ソース/ドレイン領域616、617が形成される。また、ゲイト絶縁膜612の下部は低集中度不純物領域613、614、チャネル形成領域615のまま残存する。(図7 (B))

【0071】本実施例では、イオンフォベリソグラフィに分けて行うようにしたが、1度のドーピング工程で、図7 (B) に示すような、低集中度不純物領域613、614と、高集中度不純物であるソース/ドレイン領域616、617とをそれぞれ形成することもできる。この場合には、ゲイト絶縁膜612が半通過なマスクとして機能するように、加速電圧、ドーピング等の条件を適宜に設定すればよい。

【0072】イオンフォベリソグラフィの後、フラスカCVD法により酸化珪素膜618を300Åの厚さに形成する。後に実施される水素化工程等において、ゲイト電極607が加熱されるために、アルミニウムが異常成長して、クラックやヒロツクが発生するおそれがある。本実施例では、ゲイト電極607を酸化珪素膜618で覆うことにより、クラックやヒロツクの発生を防止する。

【0073】続いて、厚さ6000Åの酸化珪素膜を間接絶縁物619としてフラスカCVD法によって形成し、これにコンタクトホールを形成する。そして、このコンタクトホールに、金属材料、例えば、チタンとアルミニウムの多層膜によってFTのソース、ドレインの凸部・配線620、621を形成する。最後に、350℃の水素雰囲気中において、1時間の加熱処理する。以上の工程を経て、源極トランジスタが完成される。(図7 (C))

【0074】本実施例の源極トランジスタは、チャネル形成領域615とドレイン領域617の間に低集中度不純物領域614を配置する構成としたため、チャネル形成領域615とドレイン領域617の間に高電圧が印加されることを防ぐことができる。更に、オフ電流を小さくすることもできる。

【0075】本実施例では、ドーピング工程後に、熱アニール、レーザアニールによる活性化を行わないので、工程の短縮化が図れる。また、高集中度の不純物が存在する領域は比較的低温の熱アニールによって活性化できるが、低集中度不純物領域は熱アニール温度を高めることが必要である。しかしながら、本実施例では、そもそも活性化のために熱アニールをおこなう必要がないので、プロセスの低温化が推進される。

【0076】なお、本実施例では、酸化珪素膜618を形成して、ゲイト電極607を保護するようにしたが、熱アニール、レーザアニールを行なう必要がないので、クラックやヒロツクが発生することがなければ、窒

化珪素膜618を形成しなくてもよい。

【0077】〔実施例5〕本実施例では、N型源極トランジスタとP型源極トランジスタとを相対的に組み合わせたCMOS源極トランジスタを形成する例を示す。図8に本実施例を示す。

【0078】まず、上面に下地膜を形成したガラス基板 (コーニング7059又は1737) 801上に、フラスカCVD法により真性 (I型) のアモルファスシリコン膜を500Åの厚さに形成する。下地膜としては、例えば2000Åの厚さの酸化珪素膜を用いる。次に、アモルファスシリコン膜を適当な結晶化方法によって結晶化し、結晶化されたシリコン膜をエッチングして、島状シリコン領域802、803を形成する。さらに、フラスカCVD法により厚さ1500Åの酸化珪素膜804を堆積する。

【0079】次に、スパッタ法によりアルミニウム膜を4000Åの厚さに堆積する。このアルミニウム膜はのちにゲイト電極805、806になるものである。このアルミニウム膜には、予めスカンジウムを0.2wt含有させてヒロツクやウイスキーが発生するのを抑制する。

【0080】次に、アルミニウム膜を電解液中で陽極酸化して、図示しないが表面に100Å程度の緻密な陽極酸化膜を形成し、その上にフォトリソグラフィのマスクを形成してパターンニングを行う。このフォトリソグラフィを利用して、アルミニウム膜をエッチングして、ゲイト電極805、806を形成する。

【0081】更に、フォトリソグラフィのマスクを省いたままで、ゲイト電極805、806を陽極酸化する。電解液には、クエン酸、シュウ酸、クロム酸又は硫酸を3〜20%含有した酸性情液、例えば3%シュウ酸水溶液を使用する。この場合には、ゲイト電極805、806の表面にはフォトリソグラフィのマスクと緻密な陽極酸化膜が存在するため、ゲイト電極805、806の側面のみが多孔質の陽極酸化物807、808が形成される。この多孔質の陽極酸化物807、808の成長距離は、陽極酸化の処理時間で制御することができる。この成長距離は、後に低集中度不純物領域 (LDD領域) の長さを決定する。本実施例では、多孔質の陽極酸化物807、808を7000Åの厚さに成長させる。

【0082】再びゲイト電極805、806を陽極酸化して、陽極で緻密な陽極酸化膜809、810を形成する。本実施例では、電解液として3%酒石酸のエチレングリコール溶液を、アモルファス水でpH6.9に中和して使用する。(図8 (A))

【0083】次に、陽極酸化物807、808、809、810をマスクとして、酸化珪素膜804をエッチングする。エッチングは陽極酸化物807、808、809、810をエッチングせず、酸化珪素膜804のみをエッチング可能であれば、ウェットエッチングでも、



(9)

ドライエッチングでも扱わない。本実施例では、C1F<sub>3</sub>ガスを用いたドライエッチングによって、酸化珪素膜804をエッチングして、ゲイト絶縁膜811、812を形成する。(図8(B))

【0084】次に、図示しない緻密な陽極酸化物、多孔質な陽極酸化物807、808を順次除去する。図示しない緻密な陽極酸化物はパツプアープで除去し、多孔質の陽極酸化物807、808は、焼酸、酢酸及び硝酸を混合した混酸を用いて除去する。多孔質の陽極酸化物807、808は容易に除去できるため、緻密で強固な陽極酸化物809、810がエッチングされることはない。

【0085】次に、ゲイト電極805、806をマスクにして、イオンF-ペンダ法により、島状シリコン802、803に不純物を注入する。本実施例では、まず導電性ゲイトのために、F-ペンダガスとして、水素で1～10%に希釈したフオスフィン(PH<sub>3</sub>)を用いる。F-ペンダは2段階に分けて行う。また、F-ペンダの間は、ヒーターにより、基板801を250℃～350℃に加熱する。

【0086】1度目のF-ペンダは、加速電圧を10～30kVとし、F-スロは1×10<sup>14</sup>～8×10<sup>15</sup>原子/cm<sup>2</sup>とし、F-スロは1×10<sup>15</sup>原子/cm<sup>2</sup>とする。この際、加速電圧が比較的小さいため、導電性ゲイト絶縁膜811、812を透過できず、主に、島状シリコン802、803の露出された部分に注入され、ソース領域813、816、ドレイン領域814、815が形成される。その際、焼はソース/ドレイン領域の比較的低い領域にピークを有するように注入される。

【0087】2度目のF-ペンダは、1度目のF-ペンダよりも加速電圧を大きくして、60～90kVとし、F-スロは1×10<sup>12</sup>～5×10<sup>13</sup>原子/cm<sup>2</sup>とする。この際、加速電圧が比較的大きいため、導電性ゲイト絶縁膜805、806を透過しないが、ゲイト絶縁膜811、812を透過して、島状シリコン802、803に注入される。しかし、ゲイト絶縁膜直下はゲイト絶縁膜に覆われて焼の注入が少いために、低濃度不純物領域(LD領域)817、818が形成される。また、ゲイト電極805、806の直下は焼が注入されないため、チャネル形成領域819、820となる。この場合、焼はソース/ドレイン領域の比較的低い領域にピークを有するように注入される。このため、1度目と2度目のF-ペンダにより、P型トランジスタとN型トランジスタを除去する。(図8(D))

(10)

【0094】次に、スパッタ法によりアルミニウム膜を4000Åの厚さに堆積する。このアルミニウム膜の厚さは、ゲイト電極905、906になるものである。アルミニウム膜には、予めスカンジウムを0.2wt%含有させてヒロツクやケイ素が生成するのを抑制する。

【0095】次に、アルミニウム膜を電解液中で陽極酸化して、図示しないが表面に100Å程度の緻密な陽極酸化膜を形成し、その上にフオトリジストのマスクを形成して、パターンニングを行う。このフオトリジストのマスクを利用して、アルミニウム膜をエッチングして、ゲイト電極905、906を形成する。

【0096】更に、フオトリジストのマスクを剥けたまま、ゲイト電極905、906を再度陽極酸化する。電解液には、クエン酸、シュウ酸、クロム酸又は硫酸を3～20%含有した酸性溶液、例えば3%シュウ酸水溶液を使用する。この場合には、ゲイト電極905、906の表面にはフオトリジストのマスクと緻密な陽極酸化膜が存在するため、ゲイト電極905、906の表面のみに多孔質の陽極酸化物909、910が形成される。この多孔質の陽極酸化物909、910の成長距離は、陽極酸化の処理時間と制御することができ、この成長距離は、後に低濃度不純物領域(LD領域)の長さを決定する。本実施例では、多孔質の陽極酸化物909、910を7000Åの長さで成長させる。

【0097】さらに、再びゲイト電極905、906を陽極酸化して、緻密で強固な陽極酸化膜911、912を形成する。本実施例では、電解液として、3%酒石酸のエチレングリコール溶液を、アンモニア水でpH 6.9に中和して使用する。(図9(A))

【0098】次に、ゲイト電極905、906及び多孔質の陽極酸化物909、910をマスクにして、イオンF-ペンダ法により、島状シリコン902、903に不純物を注入する。本実施例では、まず導電性ゲイトのために、F-ペンダガスとして、水素で1～10%に希釈したフオスフィン(PH<sub>3</sub>)を用いる。また、F-ペンダの間は、ヒーターにより、基板901を250℃～350℃に加熱する。F-ペンダは、加速電圧を60～90kVとし、F-スロは1×10<sup>14</sup>～8×10<sup>15</sup>原子/cm<sup>2</sup>とし、F-スロは1×10<sup>15</sup>原子/cm<sup>2</sup>とする。この際、加速電圧が比較的大きいため、導電性ゲイト絶縁膜905、906及び多孔質の陽極酸化物909、910を透過しないが、ゲイト絶縁膜904を透過して、島状シリコン902、903に注入され、ソース領域913、916及びドレイン領域914、915を形成する。その際、ゲイト電極905、906の直下は焼が注入されないため、チャネル形成領域917、918となる。(図9(B))

【0100】次に、図示しない緻密な陽極酸化物をパツプアープで除去し、次いで、焼酸、酢酸及び硝酸を混合した混酸で、多孔質の陽極酸化物909、910を除去する。多孔質の陽極酸化物909、910は容易に除去できるため、緻密で強固な陽極酸化物911、912がエッチングされることはない。

【0101】次に、再び焼のF-ペンダを行う。加速電圧は60～90kVとし、F-スロは1×10<sup>12</sup>～1×10<sup>14</sup>原子/cm<sup>2</sup>とする。本実施例では、加速電圧を80kVとし、F-スロは1×10<sup>14</sup>原子/cm<sup>2</sup>とする。この際、加速電圧が比較的大きいため、導電性ゲイト絶縁膜905、906を透過しないが、ゲイト絶縁膜904を透過して、島状シリコン902、903に注入され、ソース領域913、916及びドレイン領域914、915を形成する。その際、ゲイト電極905、906の直下は焼が注入されないため、チャネル形成領域917、918となる。(図9(B))

【0102】次に、再びゲイト電極905、906を陽極酸化して、緻密で強固な陽極酸化膜911、912を形成する。本実施例では、電解液として、3%酒石酸のエチレングリコール溶液を、アンモニア水でpH 6.9に中和して使用する。(図9(A))

【0103】次に、ゲイト電極905、906及び多孔質の陽極酸化物909、910をマスクにして、イオンF-ペンダ法により、島状シリコン902、903に不純物を注入する。本実施例では、まず導電性ゲイトのために、F-ペンダガスとして、水素で1～10%に希釈したフオスフィン(PH<sub>3</sub>)を用いる。また、F-ペンダの間は、ヒーターにより、基板901を250℃～350℃に加熱する。F-ペンダは、加速電圧を60～90kVとし、F-スロは1×10<sup>14</sup>～8×10<sup>15</sup>原子/cm<sup>2</sup>とし、F-スロは1×10<sup>15</sup>原子/cm<sup>2</sup>とする。この際、加速電圧が比較的大きいため、導電性ゲイト絶縁膜905、906及び多孔質の陽極酸化物909、910を透過しないが、ゲイト絶縁膜904を透過して、島状シリコン902、903に注入され、ソース領域913、916及びドレイン領域914、915を形成する。その際、ゲイト電極905、906の直下は焼が注入されないため、チャネル形成領域917、918となる。(図9(B))

【0104】次に、図示しない緻密な陽極酸化物をパツプアープで除去し、次いで、焼酸、酢酸及び硝酸を混合した混酸で、多孔質の陽極酸化物909、910を除去する。多孔質の陽極酸化物909、910は容易に除去できるため、緻密で強固な陽極酸化物911、912がエッチングされることはない。

【0105】次に、再び焼のF-ペンダを行う。加速電圧は60～90kVとし、F-スロは1×10<sup>12</sup>～1×10<sup>14</sup>原子/cm<sup>2</sup>とする。本実施例では、加速電圧を80kVとし、F-スロは1×10<sup>14</sup>原子/cm<sup>2</sup>とする。この際、加速電圧が比較的大きいため、導電性ゲイト絶縁膜905、906及び多孔質の陽極酸化物909、910を透過しないが、ゲイト絶縁膜904を透過して、島状シリコン902、903に注入され、ソース領域913、916及びドレイン領域914、915を形成する。その際、ゲイト電極905、906の直下は焼が注入されないため、チャネル形成領域917、918となる。(図9(B))

【0106】次に、図示しない緻密な陽極酸化物をパツプアープで除去し、次いで、焼酸、酢酸及び硝酸を混合した混酸で、多孔質の陽極酸化物909、910を除去する。多孔質の陽極酸化物909、910は容易に除去できるため、緻密で強固な陽極酸化物911、912がエッチングされることはない。

【0107】次に、再び焼のF-ペンダを行う。加速電圧は60～90kVとし、F-スロは1×10<sup>12</sup>～1×10<sup>14</sup>原子/cm<sup>2</sup>とする。本実施例では、加速電圧を80kVとし、F-スロは1×10<sup>14</sup>原子/cm<sup>2</sup>とする。この際、加速電圧が比較的大きいため、導電性ゲイト絶縁膜905、906及び多孔質の陽極酸化物909、910を透過しないが、ゲイト絶縁膜904を透過して、島状シリコン902、903に注入され、ソース領域913、916及びドレイン領域914、915を形成する。その際、ゲイト電極905、906の直下は焼が注入されないため、チャネル形成領域917、918となる。(図9(B))

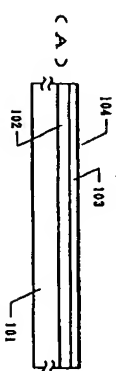


(11)

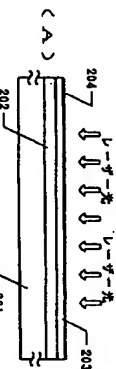
【図面の簡単な説明】

- 【図1】 実施例1の作製工程断面図を示す。  
 【図2】 実施例2の作製工程断面図を示す。  
 【図3】 実施例3の作製工程断面図を示す。  
 【図4】 陸線元素の移動原理について説明する。  
 【図5】 本発明を実施するためのフローチャート図の概念図を示す。  
 【図6】 実施例4の作製工程断面図を示す。  
 【図7】 実施例4の作製工程断面図を示す。  
 【図8】 実施例5の作製工程断面図を示す。  
 【図9】 実施例6の作製工程断面図を示す。  
 【符号の説明】  
 101...ガラス基板

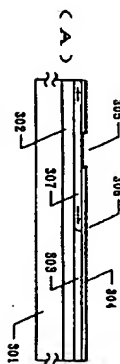
【図1】



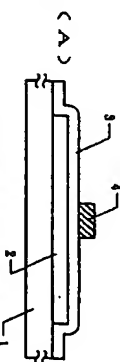
【図2】



【図3】

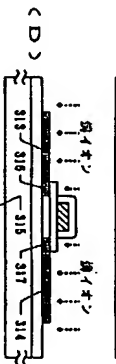


【図4】



(12)

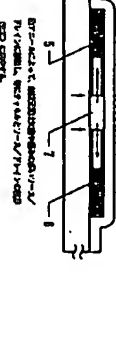
【図5】



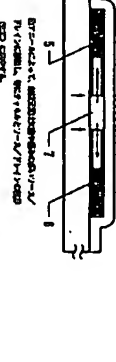
【図6】



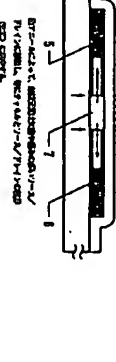
【図7】



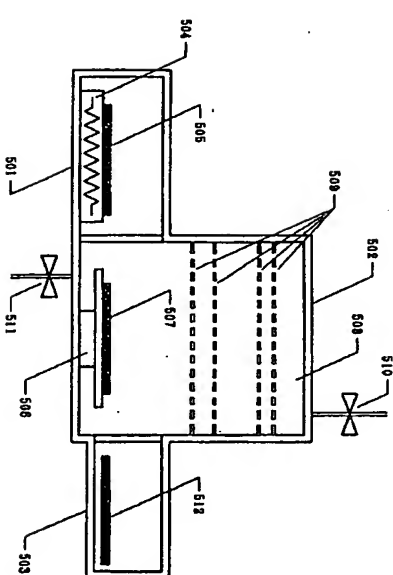
【図8】



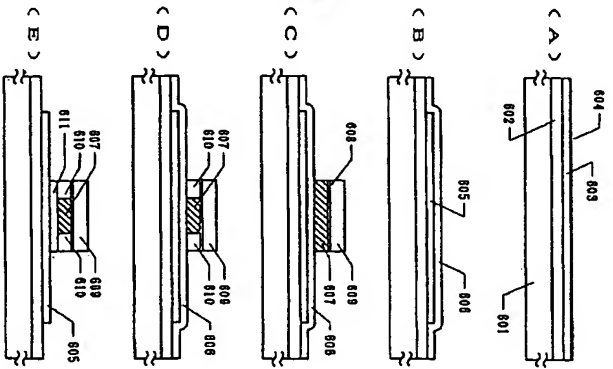
【図9】



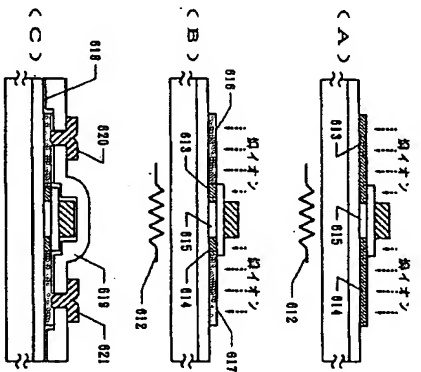
【図5】



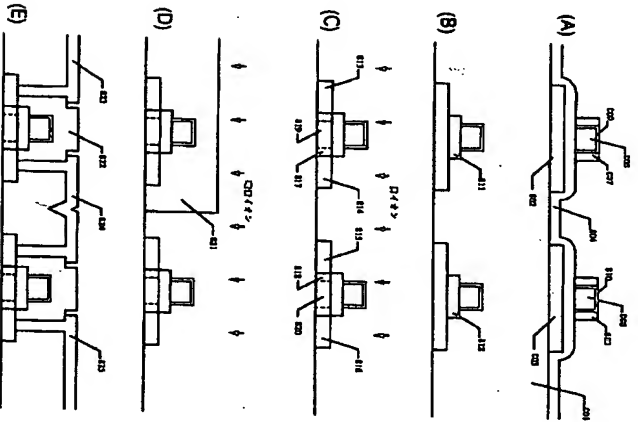
【図6】



【図7】

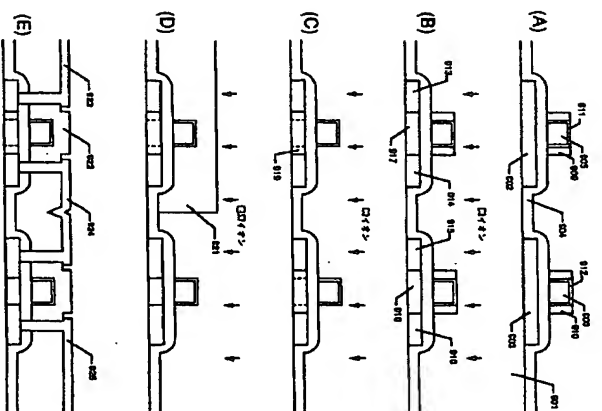


【図8】



(13)

【図9】



(14)